

2004-05-28

## Electrodeposition of Copper into Trenches Under Rotating Hydrodynamic Condition

Jian-jun SUN

---

### Recommended Citation

Jian-jun SUN. Electrodeposition of Copper into Trenches Under Rotating Hydrodynamic Condition[J]. *Journal of Electrochemistry*, 2004 , 10(2): 210-214.

DOI: 10.61558/2993-074X.1567

Available at: <https://jelectrochem.xmu.edu.cn/journal/vol10/iss2/13>

This Article is brought to you for free and open access by Journal of Electrochemistry. It has been accepted for inclusion in Journal of Electrochemistry by an authorized editor of Journal of Electrochemistry.

文章编号: 1006-3471(2004)02-0210-05

## 旋转对流下铜在微沟道中的电沉积

孙建军\*, 谢步高, 阴文辉, 陈国南

(福州大学化学化工学院, 福建 福州 350002)

**摘要:** 将刻有微沟道的芯片固定在旋转圆盘电极上, 在旋转对流条件下于微沟道中电沉积铜. 微沟道深度为  $1\ \mu\text{m}$ , 宽度分别为  $0.35\ \mu\text{m}$ ,  $0.50\ \mu\text{m}$ ,  $0.70\ \mu\text{m}$ . 研究了芯片的旋转、电流密度以及  $\text{Cu}^{2+}$  浓度等对微沟道中铜沉积的影响. 实验表明, 在旋转对流传质下, 铜在微沟道中的沉积速率比静止芯片时的约快 2~3 倍. 较低的  $\text{Cu}^{2+}$  浓度和适中的沉积电流密度更有利于超等厚沉积的形成.

**关键词:** 电沉积; 铜; 旋转电极; 微沟道; 芯片; 超等厚沉积

**中图分类号:** O 646

**文献标识码:** A

芯片金属化(On-chip metalization)是半导体芯片制造中一个非常重要的工艺过程. 其中包括芯片内部的一些元器件和结构单元通过金属布线连接集成在一起. 随着芯片集成度的提高, 金属布线线宽变得越来越窄. 以前用作金属化材料的铝, 由于导电率的限制, 已不能满足制造工艺要求. 铜的电导率比铝大 40%, 而且在常温下就能应用电化学沉积方法布线, 具有铝不能比拟的许多优点. 目前, 铜线工艺已成为芯片制造的主流工艺<sup>[1~3]</sup>.

在铜布线工艺中, 关键之处即在必须将铜无孔洞、无缝隙地完全电沉积在高深宽比的微沟道或微孔中. 电沉积时, 如果铜在沟道两侧和底面以相同的沉积速率进行沉积, 亦即等厚沉积(Conformal plating), 就很容易在沟道中心位置留下缝隙. 但若沟道上部的沉积速率比其下部的沉积速率快, 则难免在沟道中留下孔洞. 只有当铜在沟道底部的沉积速率大于在沟道侧面的沉积速率时, 才能保证铜在微沟道中的完全填充. 这种完全填充方式一般被称为超等厚沉积(Super-conformal plating)<sup>[2~5]</sup>.

有关铜在微沟道中的超等厚沉积研究, 已有许多报道. 但大多考虑的是静止芯片条件下的电沉积<sup>[6~8]</sup>. 而实际的生产工艺, 铜的沉积大多是在搅拌溶液的情况下进行的. 本文将刻有微沟道的硅芯片固定在旋转圆盘电极上, 研究了旋转对流条件下铜在微沟道中的电沉积以及  $\text{Cu}^{2+}$  浓度、沉积电流密度等对沉积过程的影响.

收稿日期: 2003-11-18, 修订日期: 2004-01-10

\*通讯联系人, jjsun@fzu.edu.cn

国家自然科学基金(60076002), 福建省青年科技人才创新项目(2003J013), 福州大学科技发展基金(2003-XQ-10)资助

## 1 实验方法

实验用硅片为刻有一系列微沟道的模拟芯片. 沟道深度均为  $1\ \mu\text{m}$ , 宽度分 5 种规格, 分别为  $0.35\ \mu\text{m}$ 、 $0.50\ \mu\text{m}$ 、 $0.70\ \mu\text{m}$ 、 $1.0\ \mu\text{m}$ 、 $2.0\ \mu\text{m}$ , 相应深宽比分别为 3、2、1.5、1、0.5. 并在其表面沉积了  $10\ \text{nm}$  的 TiN (作为阻挡层) 和  $20\ \text{nm}$  的铜 (作为电沉积导电层).

图 1 是电沉积电解池示意图. 图中 A 为特制的裹有聚四氟乙烯绝缘套的不锈钢扁圆柱, 用来固定硅芯片. 用铜箔将芯片表面原有的导电层与不锈钢圆柱相连作为导电连接. 所有外露导电处均用硅胶绝缘封好.

实验用电沉积基液包括硫酸和硫酸铜. 添加剂有 Polyethylene glycol (PEG, 摩尔质量 6000), HCl, Bis (3-sulfopropyl) disulfide (SPS) 和 Janus Green B (JGB), 组成为:  $0.06\ \text{mol/L}$  或  $0.6\ \text{mol/L}\ \text{CuSO}_4 \cdot$

$5\ \text{H}_2\text{O} + 0.6\ \text{mol/L}\ \text{H}_2\text{SO}_4 + 400\ \text{mg/L}\ \text{PEG} + 100\ \text{mg/L}\ \text{HCl} + 2\ \text{mg/L}\ \text{SPS} + 10\ \text{mg/L}\ \text{JGB}$ .

用恒电流法进行沉积, 沉积后的芯片, 先用去离子水冲洗干净, 然后切开断面, 用场发射扫描电镜 (FESEM, S-4300, HITACHI) 观察沉积层的横截面.

## 2 结果和讨论

表 1 列出 5 种不同电沉积条件下的实验结果. 电沉积电量除了样品 (V) 为  $0.8\ \text{C}$  外, 余者均为  $0.5\ \text{C}$ . 沉积电流有 3 种情况, 分别为  $2\ \text{mA}/\text{cm}^2$ 、 $5\ \text{mA}/\text{cm}^2$  和  $10\ \text{mA}/\text{cm}^2$ . 溶液中  $\text{Cu}^{2+}$  的浓度前 3 个样品较低, 后两个样品则较高. 除了样品 (D) 是在静止情况下沉积外, 其余 4 个样品均是在旋转速率为  $1000\ \text{r}/\text{min}$  下沉积的.

表 1 不同电沉积条件下硅片微沟道电沉积铜实验结果

Table 1 Results of copper electro-deposition on the silicon chip for five experimental Conditions

Sample No.	Current density $j/\text{mA}\ \text{cm}^{-2}$	Depositing time $t/\text{s}$	Depositing coulomb/C	Rotating speed/ $\text{r}\ \text{min}^{-1}$	Concentration of $\text{Cu}^{2+}/\text{mol}\ \text{L}^{-1}$
I	10	50	0.5	0	0.06
II	10	50	0.5	1000	0.06
III	5	100	0.5	1000	0.06
VI	5	100	0.5	1000	0.60
V	2	400	0.8	1000	0.60

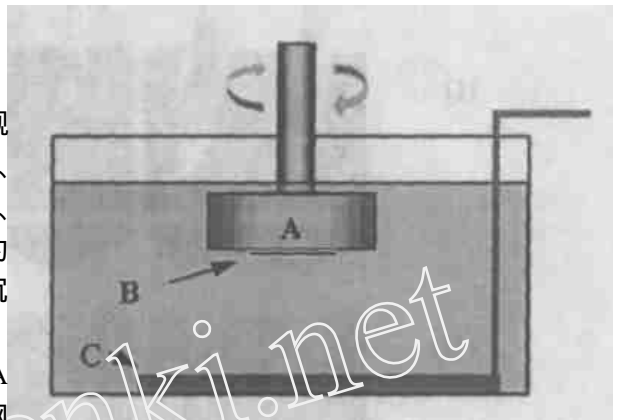


图 1 硅片 (模拟芯片) 微道沟电沉积铜电解池示意图

A) 聚四氟乙烯外套, 内嵌不锈钢圆柱 B) 硅芯片  
C) 铜对电极

Fig. 1 Schematic illustration of the cell for copper electro-deposition on silicon chips

A) Stainless still conlumn covered with polytetrafluorethylene, B) silicon chip, C) copper counter electrode

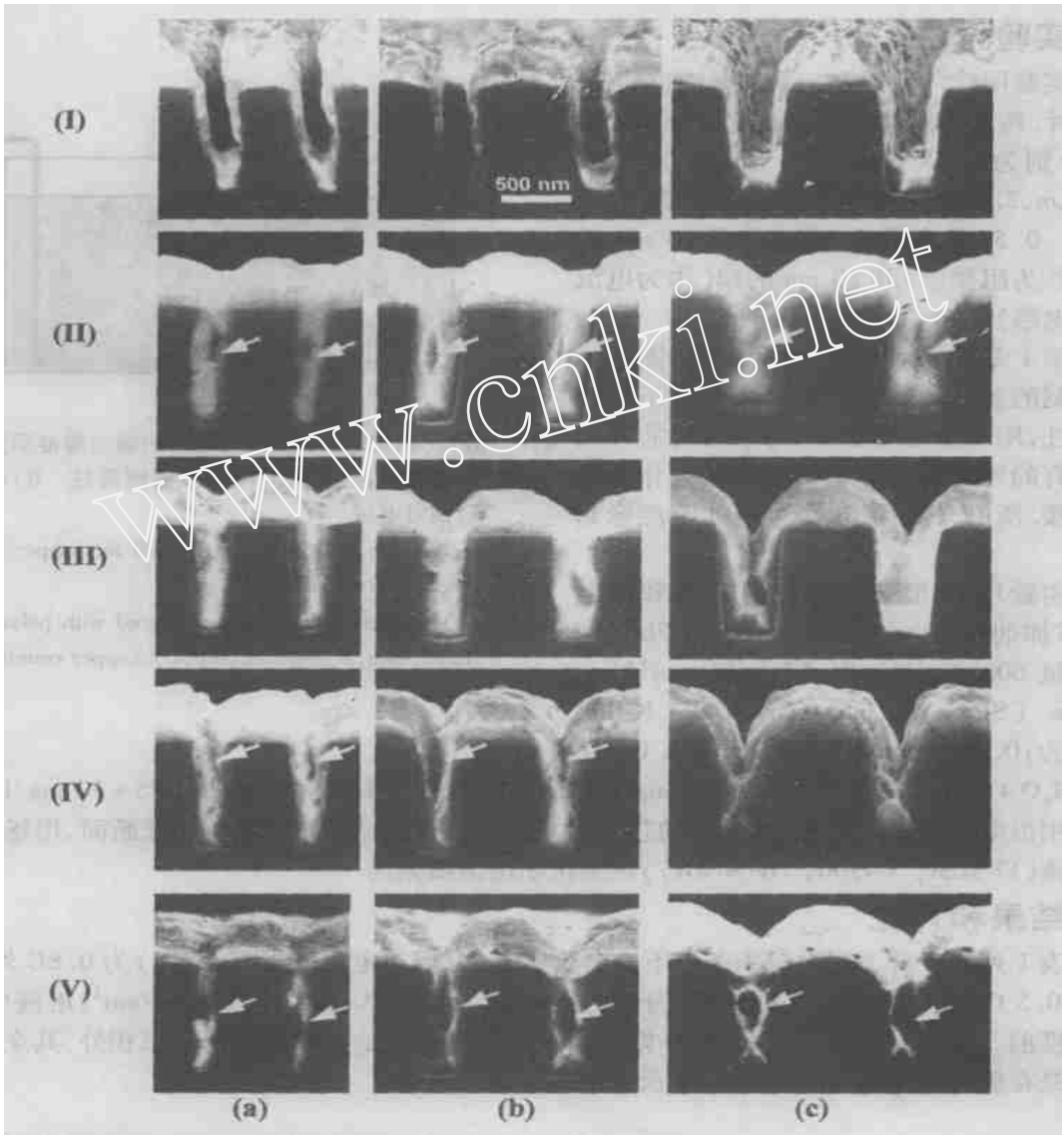


图 2 芯片电沉积铜剖面电镜(FESEM)照片

样品 (I) ~ (V) 实验条件参见表 1. 图中白色箭头指的是孔洞或缝隙存在的位置. 微沟道宽度/ $\mu\text{m}$  : a) 0.35 ; b) 0.50 ; c) 0.70

Fig. 2 FESEM of the cross section of the chips after being deposited with copper

The depositing conditions for the samples from (I) to (V) are listed in Table 1, correspondingly the white arrows indicate the position of voids or seams trench width/ $\mu\text{m}$  : a) 0.35 , b) 0.50 , c) 0.70

图 2 是硅模拟芯片上电沉积铜后的剖面电镜照片. 其中, 各样品 (I ~ V) 的电沉积条件依

次如表1所列,而纵列(a)、(b)和(c)各对应于宽度分别为 $0.35\ \mu\text{m}$ 、 $0.50\ \mu\text{m}$ 和 $0.70\ \mu\text{m}$ 的微沟道.宽度为 $1.0\ \mu\text{m}$ 和 $2.0\ \mu\text{m}$ 的微沟道剖面照片从略.

图2 I是样品在静止电极情况下沉积的,沉积时间为50s.其中3种不同宽度的沟道均未填满,但其侧壁的沉积厚度基本相同,大约为 $0.1\ \mu\text{m}$ .沟道底部的沉积厚度均大于其侧壁上的沉积厚度,说明在该实验条件下,铜在微沟道中可以从底部向上生长.

图2 II是在旋转对流条件下进行电沉积的,与静止状态沉积相比,在相同的沉积电量下,沟道几乎被完全填充.这显然是由于芯片的旋转,导致 $\text{Cu}^{2+}$ 在沟道入口处可以保持较高的浓度(与本体浓度相近),从而加快了沟道内铜的沉积速率.实验证明芯片在不旋转的情况下,须用2~3倍的时间才能使沟道完全填充.所以,铜沉积时使芯片旋转或其它方式强制对流,即可大大缩短沉积时间,提高生产效率.又图2 I和图2 II中,沟道的轴向与硅片平面并不垂直,这是因为FESEM在成像扫描过程一般需要经过几十秒,倘若样品未被固牢,那么在成像过程中由于样品的横向滑移会导致图像失真.

图2中,白色箭头所指的位置是沟道中的微孔.从图2 II可以看出,3种宽度的沟道中间均有微孔存在.深宽比大的,沟道孔的尺寸就大(IIa),深宽比小的,孔的尺寸就小.沟道中孔洞的存在,一方面可能会容留电镀残液,另一方面则会降低电导,使芯片工作的可靠性降低.避免孔洞和缝隙的产生是沉积过程需要解决的首要问题.

对样品III,其沉积电流从 $10\ \text{mA}/\text{cm}^2$ 降到了 $5\ \text{mA}/\text{cm}^2$ .此情况下,3种微沟道均被完全填充(图2 III),沟道内部不存在空洞和缝隙.该实验条件是图2中5种样品中得到的最佳结果.

在样品IV和V的镀液中, $\text{Cu}^{2+}$ 浓度从 $0.06\ \text{mol}/\text{L}$ 提高至 $0.6\ \text{mol}/\text{L}$ .整体地看,此时的微沟道也几乎被填充(图2 IV,V).但是在沟道上方,却有缝隙样存在,所以该沉积过程可能是等厚沉积,而不是超等厚沉积.在实验(V)中,虽将沉积电流降至 $2\ \text{mA}/\text{cm}^2$ ,但沉积的结果反而是沟道中出现了更大的孔洞.沟道外铜膜厚度也比样品(IV)有所增加,这不外是因沉积电量的增加所致.

### 3 结 论

在旋转对流传质条件下,选择较低的 $\text{Cu}^{2+}$ 浓度和适中的沉积电流密度,能在微沟道中得到较好的填充结果.

铜在微沟道中的沉积形貌,不仅与上述因素有关,而且与添加剂的种类和浓度有着复杂而密切的关系.相关研究,正在进行中.

## Electrodeposition of Copper into Trenches Under Rotating Hydrodynamic Condition

SUN Jian-jun<sup>\*</sup>, XIE Bu-gao, YIN Wen-hui, CHEN Guo-nan  
(*Department of Chemistry, Fuzhou University, Fuzhou 350002, China*)

**Abstract** : Silicon chips patterned with trenches were fixed onto a rotating electrode. Copper was electrodeposited into the trenches under rotating hydrodynamic conditions. The sizes of the trenches are 1  $\mu\text{m}$  in height and 0.35  $\mu\text{m}$ , 0.50  $\mu\text{m}$  and 0.70  $\mu\text{m}$  in width, respectively. The effects of rotating of the chip, the current density and the concentration of  $\text{Cu}^{2+}$  on the filling of the trenches were studied. It is found that lower current density and moderate concentration of  $\text{Cu}^{2+}$  resulted in a void free filling of the trenches.

**Key words** : Electrodeposition, Copper, Rotating electrode, Trench, Chip, Super-conformal plating

### References :

- [1] Cahn R W, Hasson P, Weinheim eds. *Material Science and Technology: A Comprehensive Treatment* [M]. Vol. 16. Processing of semiconductors/ Vol. Ed. Jackson K A. New York: VCH 1996.
- [2] Andricacos P C. Copper on-chip interconnections: A breakthrough in electrodeposition to make better chips [J]. *Interface*, 1999, 8:32~37.
- [3] Andricacos P C, Uzoh C, Dukovic J O, et al. Damascene copper electroplating for chip interconnections [J]. *IBM J. Res. Develop.*, 1998, 42 : 567~574.
- [4] Reid J, Mayer S, Broadbent E, et al. Factors influencing damascene feature fill using copper PVD and electroplating [J]. *Solid State Technology*, 2000, July: 87~98.
- [5] Tian Z Q, Sun J J. *Microsystem and Electrochemistry*[J]. *Electrochemistry*, 2000, 6:1~9.
- [6] Cao Y, Taephaisitphongse P, Chalupa R, et al. Three additives model of superfilling of copper [J], *J. Electrochem. Soc.*, 2001, 148 : C466~C472.
- [7] Kang M, Gross M E, Gewirth A A. Atomic Force Microscopy Examination of Cu Electrodeposition in Trenches [J]. *J. Electrochem. Soc.*, 2003, 150 : C292~C301.
- [8] Tan M, Harb J N. Additive behavior during copper electrodeposition in solutions containing  $\text{Cl}^-$ , PEG, and SPS[J]. *J. Electrochem. Soc.*, 2003, 150 : C420~C425.